

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Spec

⑨ Japanisches Patentamt (JP) ⑩ Offenlegungsnummer:

⑫ PATENT-OFFENLEGUNGSSCHRIFT (A) TOKUKAI (OS) SHO 62-254518

51 Int. Cl.⁴ Identifi- Kennziffer 43 Offenlegungstag: 06. 11. SHOWA 62 (1987)
 zierungs- der
 zeichen: Prüfer:
 H 03 K 17/687 Z-7190-5J
 17/08 7190-5J

Prüfungsantrag: nicht gestellt; Zahl der Erfindungen: 1 (insgesamt 4 Seiten)

54 Gate-Treiberschaltung

21 Anmeldenummer: TOKUGAN SHO 61-96944

22 Anmeldetag : 28. 04. SHOWA 61 (1986)

72 Erfinder : Name : SAKAMOTO, Kyōya
 Anschrift : bei Matsushita Seiko Co., Ltd.
 2-61, Imahuku-Nishi 6-chōme, Jōtō-ku, Osaka-shi

72 Erfinder : Name : MORITSUGU, Jirō
 Anschrift : bei Matsushita Electric Industrial Co., Ltd.
 1006, Ohaza Kadoma, Kadoma-shi

71 Anmelder : Name : Matsushita Seiko Co., Ltd.
 Anschrift : 2-61, Imahuku-Nishi 6-chōme, Jōtō-ku, Osaka-shi

74 Vertreter: Patentanwalt YOSHIMURA, Satoru

1a

Erläuternder Text

1. Bezeichnung der Erfindung

Gate-Treiberschaltung

2. Patentanspruch

Gate-Treiberschaltung, die dadurch ausgebildet ist, dass ein Ende der sekundären Seite eines ~~Impulsübertragers~~ an den Sourceanschluss eines ersten Feldeffekttransistors und an den Gateanschluss eines zweiten Feldeffekttransistors angeschlossen ist und das andere Ende der sekundären Seite des Impulsübertragers an den Gateanschluss des ersten Feldeffekttransistors und an den Sourceanschluss des zweiten Feldeffekttransistors angeschlossen ist.

3. Beschreibung der Erfindung

[Industrielles Anwendungsgebiet]

Die Erfindung betrifft eine Gate-Treiberschaltung, die ein Gate eines Feldeffekttransistors (Anm. d. Übers.: Nachstehend wird er kurz FET genannt.) treibt, der für Inverteranlagen, Schaltregler usw. verwendet wird.

[Stand der Technik]

1b

Da bei der Verwendung eines FET eine fehlerhafte Gate-Treibung einen Operationsverlust, einen Bruch eines Bauelementes usw. verursachen kann, wird zum Gewinnen eines zuverlässigen Bauelementes eine optimale Treibungsmethode gewünscht.

Eine bisherige Gate-Treiberschaltung wies einen Aufbau auf, wie er in Abb. 2 gezeigt ist. In Abb. 2 ist an ein Ende der sekundären Seite eines Impulsübertragers 7 der Sourceanschluss eines ersten FET 8 und an das andere Ende sind der Sourceanschluss eines zweiten FET 9 und der Gateanschluss des ersten FET 8 angeschlossen. An den Drainanschluss des ersten FET 8 ist der Gateanschluss des zweiten FET 9 angeschlossen. Die Gate-Treiberschaltung 12 besteht dabei aus dem Impulsübertrager 7, dem ersten FET 8 und dem zweiten FET 9. In der praktischen Schaltung ist der Drainanschluss des ersten FET 8 in der Gate-Treiberschaltung 12 über einen Widerstand 10 an den Sourceanschluss eines dritten FET 11 angeschlossen, während der Sourceanschluss des dritten FET 11 an den Drainanschluss des zweiten FET 9 angeschlossen ist.

2a

Bei diesem Aufbau wird aus der primären Seite des Impulsübertragers 7 ein Steuerimpuls auf die sekundäre Seite übertragen, und durch den Steuerimpuls werden der erste FET 8 und der zweite FET 9 alternierend und abwechselnd ein- und ausgeschaltet, wodurch der dritte FET 11 getrieben wird.

[Probleme, die durch die Erfindung zu lösen sind]

Da bei diesem bisherigen Aufbau, wie in Abb. 3, gezeigt ist, der FET 13 im Allgemeinen eine Diode 14 umfasst, wird

JP-OS SHO 62-254518 (6)

Es bezeichnen:

1 ... Impulsübertrager, 2 ... erster FET, 3 ... zweiter FET
und 6 ... Gate-Treiberschaltung.

Patentanmelder: Matsushita Seiko Co., Ltd.

Vertreter : Patentanwalt YOSHINURA, Satoru (Stempel)

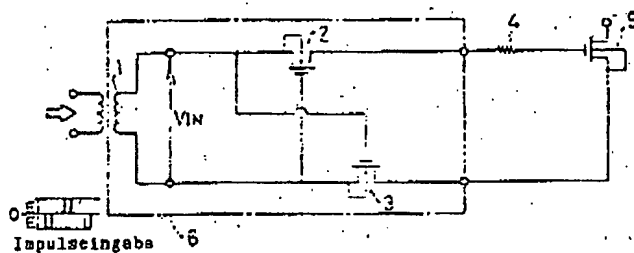


Abb. 1

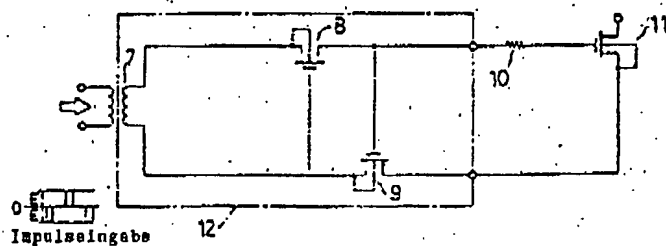


Abb. 2

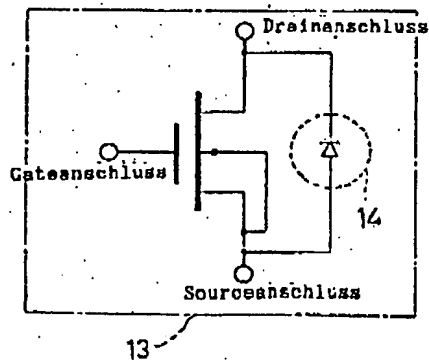


Abb. 3

beim Einschalten des zweiten FET 9 durch das aus dem Impuls-Übertrager 7 ausgesendete Signal, wird dieses Signal um einen Potentialabfall (ca. 0,7 V) der im ersten FET 8 eingebauten Diode gedämpft. (Wörtliche Übersetzung des Originals).

Beim Ausschalten tritt außerdem durch eine Sperrverzögerungszeit ("reverse recovery time") der im ersten FET 8 eingebauten Diode eine Verzögerung der Signalübertragung auf; da auch der Gateanschluss des zweiten FET 9 über den Drainanschluss des ersten FET 8 an die sekundäre Seite des Impulsübertragers 7 angeschlossen ist, tritt wegen der langen Verdrahtung beim Ein- und Ausschalten durch die Streuinduktivität ein "ringing" (Rufen) des Signals auf, und die Operation wird instabil. Wird diese Gate-Treiberschaltung 12 für eine Inverteranlage eingesetzt, können Störungen eintreten, wie z. B. die Dämpfung des Signals beim schnellen Schalten durch die im ersten FET eingebauten Diode, die Steigerung des Operationsverlustes durch die Verzögerung, der Bruch der dritten FET durch gleichzeitiges Einschalten der oberen und der unteren Phase usw. Dadurch kann die Zuverlässigkeit der Anlage verringert werden.

Der Erfindung liegt daher die Aufgabe zugrunde, zum Lösen dieser Probleme eine Gate-Treiberschaltung anzubieten, welche die Beeinflussung durch die im FET eingebauten Diode ausschließt und damit beim Treiben der dritten FET den Operationsverlust verringern sowie die Zuverlässigkeit erhöhen kann.

[Mittel zum Lösen der Probleme]

Zum Lösen der Probleme ist die erfindungsgemäße Gate-Treiberschaltung dadurch ausgebildet, dass ein Ende der sekundären Seite eines Impulsübertragers an den Sourceanschluss eines ersten FET und an den Gateanschluss eines zweiten FET angeschlossen ist und das andere Ende der sekundären Seite des Impulsübertragers an den Gateanschluss des ersten FET und an den Sourceanschluss des zweiten FET angeschlossen ist.

[Wirkungsweise]

Durch diesen Aufbau ist es möglich, dass die im ersten FET

eingebaute Diode auf die Treibung des dritten FET keinen Einfluss ausübt, damit die Treibung des dritten FET schnell und stabil durchgeführt wird, und die Verringerung des Schaltverlustes und die Erhöhung der Zuverlässigkeit erreicht werden.

[Ausführungsbeispiel]

Nachstehend wird ein Ausführungsbeispiel gemäß der Erfindung anhand von Abb. 1 erläutert. In Abb. 1 ist 1 ein Impulsübertrager, der Signale überträgt und bei dem die primäre Seite gegen die sekundäre Seite isoliert ist. An ein Ende der sekundären Seite des Impulsübertragers 1 sind der Sourceanschluss eines ersten FET 2 und der Gateanschluss eines zweiten FET 3 angeschlossen, während an das andere Ende der sekundären Seite der Gateanschluss des ersten FET 2 und der Sourceanschluss des zweiten FET 3 angeschlossen sind. Die Gate-Treiberschaltung 6 ist eine Schaltung, die auf diese Weise aus der sekundären Seite des Impulsübertragers 1, dem ersten FET 2 und dem zweiten FET 3 ausgebildet ist. Angeschlossen ist der Drainanschluss des ersten FET 2 der Gate-Treiberschaltung 6 an ein Ende des Widerstandes 4, der Drainanschluss des zweiten FET 3 an den Sourceanschluss eines dritten FET 5 und das andere Ende des Widerstandes 4 an den Gateanschluss des dritten FET 5.

Als Nächstes wird die Operation der auf diese Weise ausgebildeten Schaltung erläutert. Werden zuerst in der primären Seite des Impulsübertragers 1 Signale (Impulssignale der elektrischen Spannungen von $\pm E$) eingegeben, werden diese Signale durch elektromagnetische Induktion auf der sekundären Seite induziert. Durch diese induzierten Signale wird dann die zweite FET 3 eingeschaltet, wenn die Spannung des Gateanschlusses gegenüber dem Sourceanschluss des zweiten FET 3 höher wird als die Einschaltspannung, nämlich wenn $V_{IN} = +E$ ist. Dabei befinden sich das andere Ende der sekundären Seite des Impulsübertragers 1 und der Sourceanschluss des dritten FET 5 in einem gleichen Potential; andererseits wird der dritten FET 5 mit dem Strom aufgeladen, der aus einem Ende der sekundären Seite des Impulsübertragers 1 über die im ersten FET 2 eingebaute Diode und den Widerstand 4 den FET 5 erreicht, und der

6
dritte FET wird dadurch eingeschaltet.

- 3a Beim $V_{IN} = -E$ wird der zweite FET 3 ausgeschaltet und der erste FET 2 eingeschaltet. Infolgedessen befinden sich ein Ende des Impulsübertragers 1 und ein Ende des Widerstandes 4 in einem gleichen Potential, das andere Ende des Impulsübertragers 1 und der Sourceanschluss des dritten FET 5 werden über die im zweiten FET 3 eingebauten Diode aneinander angeschlossen, und der dritte FET 5 wird von dem Gateanschluss dieses FET 5 über den Widerstand 4 entladen und ausgeschaltet.

[Wirksamkeit der Erfindung]

Wie vorstehend erläutert wurde, wird gemäß der Erfindung, da die Beeinflussung der im FET eingebauten Diode ausgeschlossen ist, ~~das Signal aus dem Impulsübertrager ohne Dämpfung über-~~
~~tragen und kann auch einem schnellen Signal gut nachfolgen.~~
 Ferner kann durch direkten Anschluss der Gateanschlüsse der beiden FETs der Gate-Treiberschaltung an die sekundäre Seite des Impulsübertragers die Verdrahtung verkürzt, die Streuinduktivität reduziert und eine sichere Operation ohne "ringing" des Signals durchgeführt werden. Da außerdem die Aufladung, bis die Gatespannung den Spitzenwert des Impulssignals erreicht, ohne Dämpfung durchführbar ist, wird der Schaltverlust reduziert, und beim Einsatz dieser Gate-Treiberschaltung in einer Inverteranlage kann der Bruch der dritten FET, der durch Reduzierung der Störfestigkeit gegen Geräusche wegen der Dämpfung der Gatespannung des dritten FET verursacht wird, verhindert und die Zuverlässigkeit erhöht werden. So ist die vorliegende Erfindung in der Praxis sehr nützlich.

4. Kurzbeschreibung der Zeichnungen

Abb. 1 ist ein Schaltplan einer Gate-Treiberschaltung bei einem erfindungsgemäßen Ausführungsbeispiel, Abb. 2 ist ein Schaltplan einer bisherigen Gate-Treiberschaltung, und Abb. 3 ist ein Diagramm einer Ersatzschaltung für einen FET.

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 62254518 A

(43) Date of publication of application: 06 . 11 . 87

(51) Int. Cl

H03K 17/687
H03K 17/08

(21) Application number: 61096944

(22) Date of filing: 28 . 04 . 86

(71) Applicant: MATSUSHITA SEIKO CO LTD

(72) Inventor: SAKAMOTO KIYOUYA
MORITSUGU JIRO

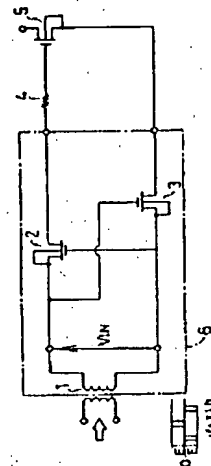
(54) GATE DRIVE CIRCUIT

(57) Abstract:

PURPOSE: To send a signal from a pulse transformer without attenuation and to improve the tracking performance to a high speed signal by eliminating the effect of a diode built in a field effect transistor (TR).

CONSTITUTION: One terminal of the secondary side of a pulse transformer 1 is connected to a source of the 1st field effect TR 2 and a gate of the 2nd field effect TR 3, and the other terminal of the secondary side of the pulse transformer 1 is connected respectively to the gate of the 1st field effect TR 2 and the source of the 2nd field effect TR 3. Thus, the diode built in the 1st field effect TR 2 gives no effect on driving the 3rd field effect TR 5, thereby stably driving the 3rd field effect TR 5 at a high speed, and reducing the switching loss and improving the reliability.

COPYRIGHT: (C)1987,JPO&Japio



(54) GATE DRIVE CIRCUIT

(11) 62-254518 (A)

(43) 6.11.1987

(19) JP

(21) Appl. No. 61.96944 (22) 28.4.1986

(71) MATSUSHITA SEIKO CO LTD

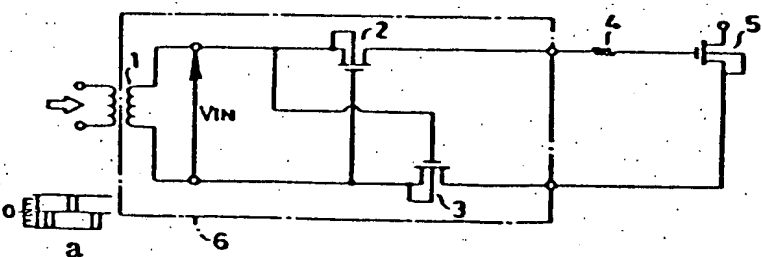
(72) KIYUUYA SAKAMOTO(1)

(51) Int. Cl. H03K17/687, H03K17/08

651

PURPOSE: To send a signal from a pulse transformer without attenuation and to improve the tracking performance to a high speed signal by eliminating the effect of a diode built in a field effect transistor (TR).

CONSTITUTION: One terminal of the secondary side of a pulse transformer 1 is connected to a source of the 1st field effect TR 2 and a gate of the 2nd field effect TR 3, and the other terminal of the secondary side of the pulse transformer 1 is connected respectively to the gate of the 1st field effect TR 2 and the source of the 2nd field effect TR 3. Thus, the diode built in the 1st field effect TR 2 gives no effect on driving the 3rd field effect TR 5, thereby stably driving the 3rd field effect TR 5 at a high speed, and reducing the switching loss and improving the reliability.



a: pulse input

LEGENDE

zu den Bibliographiedaten

(54) Titel der Patentanmeldung

(22) Anmeldetag in Japan

(11) Nummer der JP-A2 Veröffentlichung

(71) Anmelder (72) Erfinder

(21) Aktenzeichen der JP-Anmeldung

(52) Japanische Patentklassifikation

(43) Veröffentlichungstag

(51) Internationale Patentklassifikation

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-254518

⑪ Int.Cl.⁴

H 03 K 17/687
17/08

識別記号

庁内整理番号

Z-7190-5J
7190-5J

⑬ 公開 昭和62年(1987)11月6日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 ゲート・ドライブ回路

⑮ 特 願 昭61-96944

⑯ 出 願 昭61(1986)4月28日

⑰ 発 明 者 坂 本 京 也 大阪市城東区今福西6丁目2番61号 松下精工株式会社内
⑱ 発 明 者 森 経 治 郎 門真市大字門真1006番地 松下電器産業株式会社内
⑲ 出 願 人 松下精工株式会社 大阪市城東区今福西6丁目2番61号
⑳ 代 理 人 弁理士 吉 村 悟

明 細 書

1. 発明の名称

ゲート・ドライブ回路

2. 特許請求の範囲

パルス・トランスの2次側の一端を第1電界効果トランジスタのソース端子及び第2電界効果トランジスタのゲート端子に接続し、前記パルス・トランスの2次側の他端を前記第1電界効果トランジスタのゲート端子及び前記第2電界効果トランジスタのソース端子にそれぞれ接続してなるゲート・ドライブ回路。

3. 発明の詳細な説明

産業上の利用分野

本発明は、インバータ装置、スイッチングレギュレータ等に使われる電界効果トランジスタ等のゲートを駆動するゲート・ドライブ回路に関する。

従来の技術

電界効果トランジスタの使用にあたっては、ゲート駆動の良否が、動作損失や素子破壊など信頼性に大きな影響を及ぼすので、最適な駆動方法が

望まれていた。

従来、この種のゲート・ドライブ回路は、第2図に示すような構成であった。第2図において、7はパルス・トランスで2次側の一端に第1電界効果トランジスタ8のソース端子が接続され、他端には第2電界効果トランジスタ9のソース端子と第1電界効果トランジスタ8のゲート端子が接続されている。前記第1電界効果トランジスタ8のドレイン端子は第2電界効果トランジスタ9のゲート端子に接続されている。ゲート・ドライブ回路12は、このパルス・トランス7、第1電界効果トランジスタ8及び第2電界効果トランジスタ9からなる。実用回路は、ゲート・ドライブ回路12の第1電界効果トランジスタ8のドレイン端子が抵抗10を介して第3電界効果トランジスタ11のゲート端子に接続され、前記第3電界効果トランジスタ11のソース端子は第2電界効果トランジスタ9のドレイン端子に接続されている。

この構成において、パルス・トランス7の1次側から制御パルス信号を2次側へ伝送し、第1電

界効果トランジスタ8及び第2電界効果トランジスタ9を交互にオン・オフすることにより、第3電界効果トランジスタ11を駆動していた。

発明が解決しようとする問題点

このような従来の構成では、第3図に示すように電界効果トランジスタ13には一般に内蔵ダイオード14があるため、パルス・トランス7からの信号により第2電界効果トランジスタ9を導通させると、第1電界効果トランジスタ8の内蔵ダイオードの電位降下分(約0.7V)だけ信号が減衰する。

またオフ時には、第1電界効果トランジスタ8の内蔵ダイオードの逆回復時間による信号伝送の遅れが生じ、第2電界効果トランジスタ9のゲート端子が第1電界効果トランジスタ8のドレイン端子を通じてパルス・トランス7の2次側へ接続されているため、配線が長くなり、オン・オフ時には、深遊インダクタンスにより信号がリングングを起こしたりして動作が不安定であった。更には、インバータ装置にこのゲート・ドライブ回路

作 用

この構成により、第3電界効果トランジスタの駆動に第1電界効果トランジスタの内蔵ダイオードが影響せず、従って、第3電界効果トランジスタの駆動を高速度且つ安定して行なうことができ、スイッチング損失の減少と信頼性の向上を図ることとなる。

実施例

以下本発明の一実施例を第1図に基づき説明する。第1図において、1はパルス・トランスで、1次側と2次側が絶縁され、信号の伝送を行なう。この2次側的一端に第1電界効果トランジスタ2のソース端子及び第2電界効果トランジスタ3のゲート端子が接続され、またパルス・トランス1の2次側の他端には、第1電界効果トランジスタ2のゲート端子及び第2電界効果トランジスタ3のソース端子が接続されている。このようにパルス・トランス1の2次側並びに第1電界効果トランジスタ2及び第2電界効果トランジスタ3で構成された回路が、ゲート・ドライブ回路6である。

12を用いた場合、第3電界効果トランジスタの高速スイッチング時における第1電界効果トランジスタ内蔵のダイオードによる信号の減衰、遅延による動作損失の増大と、上下相の同時オンによる第3電界効果トランジスタの破壊など、信頼性の低下という問題点を有していた。

本発明は、このような問題点を解決するもので、電界効果トランジスタの内蔵ダイオードの影響をなくし、第3電界効果トランジスタの駆動での動作損失の低減と信頼性の向上を図ったゲート・ドライブ回路を提示することを目的とする。

問題点を解決するための手段

この問題点を解決するために、本発明のゲート・ドライブ回路は、パルス・トランスの2次側一端を第1電界効果トランジスタのソース端子及び第2電界効果トランジスタのゲート端子に接続し、前記パルス・トランスの2次側の他端を前記第1電界効果トランジスタのゲート端子及び前記第2電界効果トランジスタのソース端子にそれぞれ接続したものである。

ゲート・ドライブ回路6の第1電界効果トランジスタ2のドレイン端子は抵抗4の一端に接続し、第2電界効果トランジスタ3のドレイン端子は第3電界効果トランジスタ5のソース端子に接続し、抵抗4の他端は第3電界効果トランジスタ5のゲート端子に接続する。

以上のように構成された回路について次に動作を説明する。まずパルス・トランス1の1次側に信号(電圧±Eのパルス信号)を入力すると、電磁誘導により信号が2次側へ誘起される。この誘起された信号は、第2電界効果トランジスタ3のソース端子に対するゲート端子の電圧がオン電圧より高くなると、つまり $V_{IN} = +E$ のとき、第2電界効果トランジスタ3が導通する。このときパルス・トランス1の2次側の他端と第3電界効果トランジスタ5のソース端子が同電位となり、一方パルス・トランス1の2次側的一端から第1電界効果トランジスタ2の内蔵ダイオードを通り、抵抗4を通して第3電界効果トランジスタ5が充電され、第3電界効果トランジスタ5は導通する。

次に V_{IN} スタ3はオ2は導通す端と抵抗4トランス1のソース端内蔵ダイオードトランジスタ放電されてなる。

発明の以上のよジスタの内より、パルに伝送し、なる。ゲートランジスタの2次短くでき深リングングを

次に $V_{IN} = E$ のとき、第2電界効果トランジスタ3はオフとなり、第1電界効果トランジスタ2は導通する。このため、パルス・トランス1の一端と抵抗4の一端が同電位となり、またパルス・トランス1の他端と第3電界効果トランジスタ5のソース端子とが第2電界効果トランジスタ3の内蔵ダイオードを通じてつながり、第3電界効果トランジスタ5のゲート端子から抵抗4を通じて放電されて第3電界効果トランジスタ5はオフとなる。

発明の効果

以上のように本発明によれば、電界効果トランジスタの内蔵ダイオードの影響をなくすることにより、パルス・トランスからの信号を減衰させずに伝送し、また高周波信号に対しても追従性がよくなる。ゲート・ドライブ回路の2つの電界効果トランジスタのゲート端子をそれぞれパルス・トランスの2次側へ直接接続することにより、配線を短くでき誘導インダクタンスを低減して信号のリングングをなくし確実な動作を行なわせることが

できる。またゲート電圧がパルス信号の波高値に到るまで減衰せずに充電できるので、スイッチング損失が減少し、インバータ装置にこのゲート・ドライブ回路を使用したとき第3電界効果トランジスタのゲート電圧の減衰に基づくノイズ耐性の低下による第3電界効果トランジスタの破壊を防止でき、つまりは信頼性の向上を図ることができ実用上大きな効果が得られる。

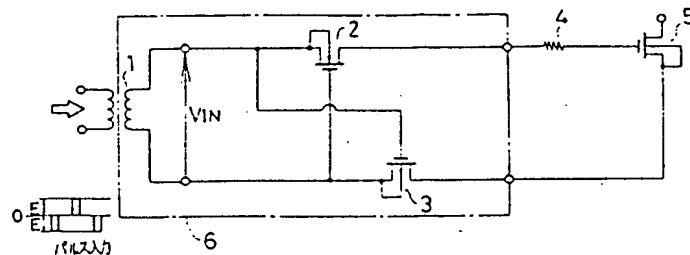
4. 図面の簡単な説明

第1図は本発明の一実施例におけるゲート・ドライブ回路の接続図、第2図は従来のゲート・ドライブ回路を示す接続図、第3図は電界効果トランジスタの等価回路図である。

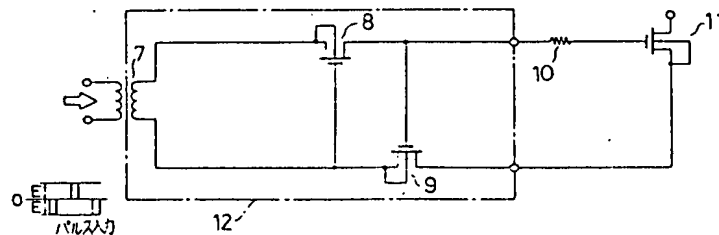
1…パルス・トランス 2…第1電界効果トランジスタ 3…第2電界効果トランジスタ 6…ゲート・ドライブ回路

特許出願人 松下精工株式会社

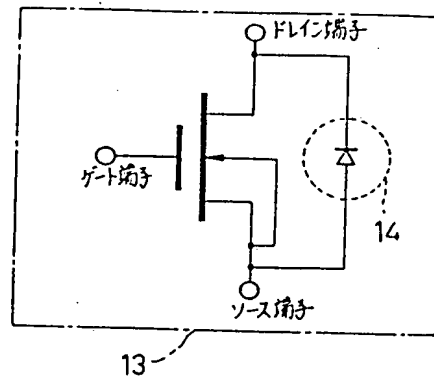
代理人弁理士 西村 恒



第1図



第2図



第 3 図

⑤Int. C
H 03

④発明の

優先権

⑦発 明

⑦出 願

⑦代 理

1. 発 明 の 名
単一ト
2. 特 許 願 求
そのバ
ダイオー
コレクタ
イポーラ
に於て、
出力を持
記単一ト
のトラン
極な第1
ース入力
ランジス
カに接続
回路の出
トランジ
理パツフ
3. 発 明 の 詳